

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-003151

(43)Date of publication of application : 07.01.2000

(51)Int.Cl. G09G 3/20
 G09G 3/36
 H03H 17/00
 H03M 1/12
 H04N 5/06
 H04N 5/66

(21)Application number : 10-165408

(71)Applicant : SONY CORP

(22)Date of filing : 12.06.1998

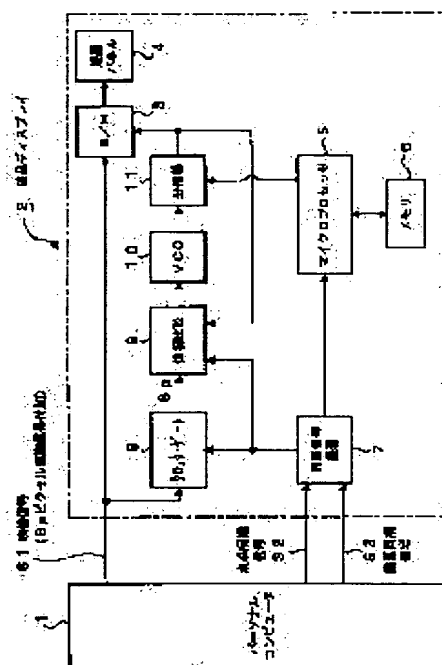
(72)Inventor : OOSAWA KENSUKE

(54) SAMPLING SYSTEM, SAMPLING DEVICE AND SAMPLING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to make the frequencies and phases of a pixel clock and a sampling pulse coincident by forming a signal, of which the phase coincides with the phase of a clock synchronizing signal and of which the frequency is specified times the frequency thereof, to the sampling pulse.

SOLUTION: A synchronizing signal processing circuit 7 forms and outputs the pixel synchronizing signal sampling pulse at the timing at which the pixel synchronizing signal Sp is sent from a computer 1 by counting the number of pulses of the horizontal synchronizing signal S2 after the vertical synchronizing signal S3 is sent thereto. A clock gate circuit 8 samples the pixel synchronizing signal Sp from a video signal S1 and sends this signal to a phase comparator 9 by allowing the passage of the video signal S1 when this pixel synchronizing signal sampling pulse is sent thereto. The phase comparator 9 compares the frequencies and phases of the output signal of a frequency divider 11 and the pixel synchronizing signal only when the pixel synchronizing signal sampling pulse is sent thereto. An S/H circuit 3 samples and holds the analog video signal S1 by its output signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項1】 所定のクロックパルスに同期したデジタル信号をアナログ信号に変換して出力する第1の装置と、

前記アナログ信号をサンプリングする第2の装置とを含むサンプリングシステムにおいて、

前記第1の装置が、

前記デジタル信号に、前記所定のクロックパルスの一定数のパルス毎に高/低を繰り返すクロック同期信号を付加する付加手段を備え、

前記第2の装置が、

前記アナログ信号から前記クロック同期信号を抜き取る抜き取り手段と、

前記クロック同期信号と位相が一致すると共に周波数が該クロック同期信号の前記一定数倍である信号を、前記アナログ信号のサンプリングパルスとするサンプリング制御手段とを備えたことを特徴とするサンプリングシステム。

【請求項2】 請求項1に記載のサンプリングシステムにおいて、

前記クロック同期信号は、前記所定のクロックパルスの1パルス毎に高/低を繰り返すものであり、

前記サンプリング制御手段は、前記クロック同期信号と周波数及び位相が一致する信号を前記サンプリングパルスとすることを特徴とするサンプリングシステム。

【請求項3】 請求項1または2に記載のサンプリングシステムにおいて、

前記デジタル信号はデジタル映像信号であり、

前記付加手段は、前記デジタル映像信号の帰線期間中の位置に前記クロック同期信号を付加することを特徴とするサンプリングシステム。

【請求項4】 請求項3に記載のサンプリングシステムにおいて、

前記第1の装置は、コンピュータであり、

前記第2の装置は、液晶ディスプレイであり、

前記液晶ディスプレイを利用するために前記コンピュータに組み込まれるソフトウェアが、前記デジタル映像信号中の所定位置に前記クロック同期信号を付加することを指示する情報を含んでおり、

前記付加手段は、前記情報に基づいて前記クロック同期信号の付加を行い、

前記抜き取り手段は、前記所定位置から前記クロック同期信号を抜き取ることを特徴とするサンプリングシステム。

【請求項5】 所定のクロックパルスに同期し且つ該クロックパルスの一定数のパルス毎に高/低を繰り返すクロック同期信号を付加されたデジタル信号がアナログ変換された信号をサンプリングするサンプリング装置において、

前記アナログ変換された信号から、前記クロック同期信

号を抜き取る抜き取り手段と、

前記クロック同期信号と位相が一致すると共に周波数が前記クロック同期信号の前記一定数倍である信号を、前記アナログ信号のサンプリングパルスとするサンプリング制御手段とを備えたことを特徴とするサンプリング装置。

【請求項6】 所定のクロックパルスに同期したデジタル信号をアナログ変換した信号をサンプリングするサンプリング方法において、

前記デジタル信号に、前記所定のクロックパルスの一定数のパルス毎に高/低を繰り返すクロック同期信号を付加し、

前記アナログ変換した信号から、前記クロック同期信号を抜き取り、

前記クロック同期信号と位相が一致すると共に周波数が前記クロック同期信号の前記一定数倍である信号を、前記アナログ信号のサンプリングパルスとすることを特徴とするサンプリング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばコンピュータで生成した画像を液晶ディスプレイで表示する場合に適用して好適なサンプリングシステム等に関する。

【0002】

【従来の技術】コンピュータによるモニターへの画像の表示は、一般に、画像をドットで構成することによって行われる。モニターのドット数（解像度）には、例えばVGA（640×480ドット）、XGA（1024×768ドット）のような規格があるので、コンピュータは、こうしたドットで構成される画像を示すデジタル映像信号を、モニターの規格に応じた周波数のクロックパルス（1個のパルスが1ドットすなわち1ピクセルに対応したピクセルクロック）に同期して生成する。コンピュータは、通常このデジタル映像信号を内部の映像回路でアナログ映像信号に変換して出力する。

【0003】そして、モニターが液晶ディスプレイである場合には、液晶ディスプレイ側では、このアナログ映像信号をサンプル/ホールド回路でサンプリング及びホールドして液晶パネルの信号電極に供給する。

【0004】その際、サンプル/ホールド回路の動作を制御するクロック（サンプリングパルス）の周波数及び位相が前述のピクセルクロックの周波数及び位相に一致していれば、コンピュータで生成したデジタル映像信号が示すとおり画像が液晶パネルに表示される。

【0005】しかし、この両者の周波数や位相が一致していないと、コンピュータで生成したデジタル映像信号が示すとおり画像が表示されなくなるので、画質の劣化につながってしまう。特に、文字を表示する場合には、1つの文字を少数のドットで構成するので、こうした不一致により、画面上の文字が見づらくなったり、文

字が変形または欠落して判読不能になったりすることがある。

【0006】そこで従来は、このサンプリングパルスの周波数及び位相をピクセルクロックの周波数及び位相に一致させるために、例えば図4に示すような方式を採用していた。同図において、パーソナルコンピュータ1からは、図示しないインタフェースを介して、前述のアナログ映像信号S1と、水平同期信号S2及び垂直同期信号S3とが液晶ディスプレイ20に供給される。

【0007】液晶ディスプレイ20は、サンプル/ホールド回路3と、液晶パネル4と、マイクロプロセッサ5と、メモリ6と、同期信号処理回路21と、基準周波数発振器22と、位相比較器23、VCO(電圧制御発振器)24、分周器25及び移相器26から成るフィードバックループと、位相調整用の操作キー27とを含んでおり、アナログ映像信号S1はサンプル/ホールド回路3に、水平同期信号S2及び垂直同期信号S3は同期信号処理回路21にそれぞれ送られる。

【0008】同期信号処理回路21は、水平同期信号S2及び垂直同期信号S3の同期周波数及び極性を求める回路であり、この同期周波数及び極性の情報は、マイクロプロセッサ5に送られる。この同期周波数及び極性とピクセルクロックの標準周波数との関係についてはVESA(Video Electronics Standards Association)の規格が存在しており、メモリ6にはその規格によるピクセルクロックの標準周波数の情報が記憶されている。

【0009】マイクロプロセッサ5は、同期信号処理回路21からの同期周波数及び極性の情報とメモリ6内のこの標準周波数の情報とに基づき、映像信号S1の元となるデジタル映像信号をコンピュータ1が生成した際のピクセルクロックの標準周波数を判断する。

【0010】基準周波数発振器22から出力された基準周波数信号が位相比較器23に送られ、VCO24はその周波数の逡倍で発振する。VCO24の出力信号は、分周器25で分周された後移相器26を介して位相比較器23にフィードバックされて、基準周波数信号と周波数及び位相を比較される。

【0011】マイクロプロセッサ5は、VCO24の出力信号の周波数が、前述の判断したピクセルクロックの標準周波数と一致するように、分周器25の分周比を設定する。サンプル/ホールド回路3は、このVCO24の出力信号をサンプリングパルスとして、アナログ映像信号S1をサンプリング及びホールドして液晶パネル4の信号電極に供給する。

【0012】また映像信号S1の元となるデジタル映像信号をコンピュータ1が生成した際のピクセルクロックと、映像信号S1と共にコンピュータ1から出力される水平同期信号S2とは、一定の位相の相関関係があるので、マイクロプロセッサ5は、この相関関係を利用して、VCO24の出力信号(即ちサンプル/ホールド

回路3のサンプリングパルス)の位相がコンピュータ1のピクセルクロックの位相と一致するように、移相器26で位相調整を行う。

【0013】

【発明が解決しようとする課題】しかし、この従来の方式では、次の(a)の理由から、コンピュータ1のピクセルクロックの周波数とサンプリングパルスの周波数とが正確には一致しないことが多かった。

【0014】(a)コンピュータ内で発生するピクセルクロックの周波数は、メーカーや個々の製品毎に、僅かながらVESA規格のピクセルクロックの標準周波数から変移していることが多い。コンピュータ1のピクセルクロックにこうした周波数の変移がある場合には、サンプリングパルスの周波数をこの標準周波数と一致させても、コンピュータ1のピクセルクロックの実際の周波数とサンプリングパルスの周波数とは一致しない。

【0015】図5は、こうした周波数の不一致がある場合の、コンピュータ1で生成した映像信号の示す画像と液晶パネル4に画面表示される画像との関係の一例を示す。図5Aは、コンピュータ1のピクセルクロックであり、図5Cは、サンプリングパルスである。このピクセルクロックの周波数は、サンプリングパルスの周波数とは正確には一致していない(即ちVESA規格のピクセルクロックの標準周波数から僅かに変移している)。

【0016】図5Bは、コンピュータ1で生成したデジタル映像信号が示す画像(黒色の「H」の文字が連続する画像)であり、図5Dは、このデジタル映像信号をアナログ変換した映像信号S1を図5Bのライン

(a)(「H」の文字の縦線の有無を検出するライン)及びライン(b)(「H」の文字の横線の有無を検出するライン)において図5Cのサンプリングパルスでサンプリングして得た映像信号(レベルの高、低がそれぞれ白色、黒色に対応する信号)であり、図5Eは、図5Dの映像信号に基づいて液晶パネル4に画面表示される画像である。この例では、Hの文字が、液晶パネル4の画面上では変形・欠落して判読不能になっている。

【0017】また、この従来の方式では、次の(b)の理由から、コンピュータ1のピクセルクロックの位相とサンプリングパルスの位相とが正確には一致しないことが多かった。

【0018】(b)コンピュータにおけるピクセルクロックと水平同期信号S2との位相の相関関係にも、メーカーや個々の製品毎に僅かながらばらつきが存在することが多い。コンピュータ1における相関関係にこうしたばらつきがある場合には、この相関関係を利用して位相調整を行っても、コンピュータ1のピクセルクロックの実際の位相とサンプリングパルスの位相とは一致しない。

【0019】こうした位相の不一致がある場合にも、やはり画質が劣化する(例えば文字を表示するときには、

画面上の文字が滲むなどして見づらくなる)。この場合には、ユーザーは、液晶パネル4に画面表示された画像を見ながら操作キー27を操作することにより、マイクロプロセッサ5及び移相器26を介してサンプリングパルスの位相をマニュアル調整することが可能である。しかし、そうした作業は煩雑である。

【0020】このように、従来の方式では、コンピュータ1のピクセルクロックの周波数及び位相と、液晶ディスプレイ20のサンプル/ホールド回路3のサンプリングパルスの周波数及び位相とを、常に正確に一致させることができなかった。

【0021】本発明は上述の点に鑑みてなされたもので、こうしたコンピュータのピクセルクロックの周波数及び位相と液晶ディスプレイのサンプル/ホールド回路のサンプリングパルスの周波数及び位相とを常に正確に一致させることのできる(更に一般的には、所定のクロックパルスに同期したデジタル信号をアナログ変換した信号のサンプリング(再サンプリング)を、この所定のクロックパルスと周波数及び位相が常に正確に一致したサンプリングパルスで行うことのできる)サンプリングシステム、サンプリング装置及びサンプリング方法を提供しようとするものである。

【0022】尚、本明細書では、「サンプリングシステム」を、図5の例におけるコンピュータ1と液晶ディスプレイ20のように、所定のクロックパルスに同期したデジタル信号をアナログ変換した信号を出力する装置と、このアナログ信号をサンプリングする装置との両方を含むものとして定義する。

【0023】

【課題を解決するための手段】本発明に係るサンプリングシステムは、請求項1に記載のように、所定のクロックパルスに同期したデジタル信号をアナログ信号に変換して出力する第1の装置と、このアナログ信号をサンプリングする第2の装置とを含むサンプリングシステムにおいて、第1の装置が、このデジタル信号に、この所定のクロックパルスの一定数のパルス毎に高/低を繰り返すクロック同期信号を付加する付加手段を備え、第2の装置が、このアナログ信号からこのクロック同期信号を抜き取る抜き取り手段と、このクロック同期信号と位相が一致すると共に周波数がこのクロック同期信号のこの一定数倍である信号をこのアナログ信号のサンプリングパルスとするサンプリング制御手段とを備えたことを特徴としている。

【0024】このサンプリングシステムによれば、第1の装置(図5の例ではコンピュータ1)側で、所定のクロックパルスに同期したデジタル信号(図5の例ではピクセルクロックに同期したデジタル映像信号)に、この所定のクロックパルスの一定数のパルス毎に高/低を繰り返す(従ってこの所定のクロックパルスと位相が一致すると共にこの所定のクロックパルスの一定数分の

1の周波数の(従って周波数が既知の))クロック同期信号が付加される。これにより、第1の装置から出力されるアナログ信号には、このクロック同期信号(アナログ変換されたクロック同期信号)が含まれることになる。

【0025】また第2の装置(図5の例では液晶ディスプレイ20)側で、このアナログ信号からこのクロック同期信号を抜き取り、このクロック同期信号と位相が一致すると共に周波数がこのクロック同期信号のこの一定数倍である信号を、このアナログ信号のサンプリングパルスとする。従って、アナログ信号は、元のデジタル信号が同期する所定のクロックパルスそのものと周波数及び位相が一致するサンプリングパルスでサンプリングされることになる。

【0026】これにより、所定のクロックパルスに同期したデジタル信号をアナログ変換した信号のサンプリングが、この所定のクロックパルスと周波数及び位相が常に正確に一致したサンプリングパルスで行われるようになる。(図5の例では、コンピュータ1のピクセルクロックの周波数及び位相と液晶ディスプレイ20のサンプル/ホールド回路3のサンプリングパルスの周波数及び位相とが常に正確に一致するようになる。)

【0027】尚、このサンプリングシステムにおいて、一例として、請求項2に記載のように、クロック同期信号を、所定のクロックパルスの1パルス毎に高/低を繰り返す(従って所定のクロックパルスと周波数及び位相が一致する)ものとし、このクロック同期信号と周波数及び位相が一致する信号をサンプリングパルスとすることが好適である。それにより、第2の装置におけるサンプリング制御を一層簡単化することができる。

【0028】また、このサンプリングシステムを、デジタル映像信号をアナログ変換した信号をサンプリングするために適用する場合には、一例として、請求項3に記載のように、この映像信号の帰線期間中の位置にクロック同期信号を付加することが好適である。それにより、この映像信号に基づく画像が画面表示される際に、画面上にこのクロック同期信号に基づくノイズが表れることがなくなるので、クロック同期信号の存在による画質の劣化を防止することができる。

【0029】また、このサンプリングシステムを、コンピュータで生成したデジタル映像信号をアナログ変換した信号を液晶ディスプレイでサンプリングするために適用する場合には、一例として、請求項4に記載のように、液晶ディスプレイを利用するためにコンピュータに組み込まれるソフトウェア(ドライバ)に、デジタル映像信号中の所定位置にクロック同期信号を付加することを指示する情報を含め、コンピュータにこの情報に基づいてクロック同期信号の付加を行わせ、液晶ディスプレイにこの所定位置からクロック同期信号を抜き取らせることが好適である。それにより、液晶ディスプレイ

が、このクロック同期信号の抜き取りを簡単な処理により正確に行えるようになる。

【0030】次に、本発明に係るサンプリング装置は、請求項5に記載のように、所定のクロックパルスに同期し且つこのクロックパルスの一定数のパルス毎に高／低を繰り返すクロック同期信号を付加されたデジタル信号がアナログ変換された信号をサンプリングするサンプリング装置において、このアナログ変換された信号からこのクロック同期信号を抜き取る抜き取り手段と、このクロック同期信号と位相が一致すると共に周波数がこのクロック同期信号のこの一定数倍である信号をこのアナログ信号のサンプリングパルスとするサンプリング制御手段とを備えたことを特徴としている。

【0031】このサンプリング装置は、前述のサンプリングシステムにおける第2の装置（図5の例では液晶ディスプレイ20）に相当するものであり、このサンプリングシステムについて既に述べたように、所定のクロックパルスに同期したデジタル信号をアナログ変換した信号のサンプリングを、この所定のクロックパルスと周波数及び位相が常に正確に一致したサンプリングパルスで行うことができる。

【0032】次に、本発明に係るサンプリング方法は、請求項6に記載のように、所定のクロックパルスに同期したデジタル信号をアナログ変換した信号をサンプリングするサンプリング方法において、このデジタル信号にこの所定のクロックパルスの一定数のパルス毎に高／低を繰り返すクロック同期信号を付加し、このアナログ変換した信号からこのクロック同期信号を抜き取り、このクロック同期信号と位相が一致すると共に周波数がこのクロック同期信号のこの一定数倍である信号このアナログ信号のサンプリングパルスとすることを特徴としている。

【0033】このサンプリング方法は、前述のサンプリングシステムにおける第1、第2の装置の処理に相当するものであり、このサンプリングシステムについて既に述べたように、所定のクロックパルスに同期したデジタル信号をアナログ変換した信号のサンプリングを、この所定のクロックパルスと周波数及び位相が常に正確に一致したサンプリングパルスで行うことができる。

【0034】

【発明の実施の形態】図1及び図2は、コンピュータで生成したデジタル映像信号をアナログ変換した信号を液晶ディスプレイでサンプリングするために本発明を適用した例を示すものであり、図1において図4と対応する部分には同一符号を付して重複説明を省略する。

【0035】この例では、図1に示すように、液晶ディスプレイ2は、本発明に関連する構成部分として、サンプル／ホールド回路3と、液晶パネル4と、マイクロプロセッサ5と、メモリ6と、同期信号処理回路7と、クロック・ゲート回路8と、位相比較器9、VCO（電圧

制御発振器）10及び分周器11から成るフィードバックループとを含んでいる。

【0036】また、液晶ディスプレイ2のドライバ（液晶ディスプレイ2を利用するためにコンピュータ1に組み込まれるソフトウェア）には、次のような情報が含まれている。

（i）コンピュータ1がピクセルクロックに同期して生成するデジタル映像信号に、そのピクセルクロックの1パルス毎（即ち画像を構成する1ドット毎）に高／低を繰り返すクロック同期信号（ピクセル同期信号と呼ぶことにする）を付加することを指示する情報。

（ii）このピクセル同期信号を付加すべきデジタル映像信号中の位置を指定する情報。

【0037】コンピュータ1は、デジタル映像信号を生成する際に、この（i）及び（ii）の情報に基づき、このピクセル同期信号をデジタル映像信号に付加する。これにより、コンピュータ1から液晶ディスプレイ2に供給されるアナログ映像信号S1には、図2Aに示すように、このピクセル同期信号（アナログ変換されたピクセル同期信号）Spが含まれることになる。

【0038】尚、図2Aは、この（ii）の情報で指定された位置が、垂直同期信号S3（図2C）のバックボーンにおいて水平同期信号S2（図2B）の一定パルス数目の位置である場合の例を示している。また、図2Aでは、便宜上ピクセル同期信号Spを黒地で表している。

【0039】図1に戻り、コンピュータ1から液晶ディスプレイ2に供給される映像信号S1は、サンプル／ホールド回路3に送られると共に、クロック・ゲート回路8に送られる。同期信号処理回路7は、図4の同期信号処理回路21における同じ処理を行う以外に、上記（ii）の情報に基づき、垂直同期信号S3が送られた後水平同期信号S2のパルス数をカウントすることにより、ピクセル同期信号Spがコンピュータ1から供給されたタイミングでピクセル同期信号抜き取りパルス（図2D）を生成して出力する。

【0040】このピクセル同期信号抜き取りパルスは、クロック・ゲート回路8にゲートクロックとして送られると共に、位相比較器9に位相比較の実行を指示する制御信号として送られる。クロック・ゲート回路8は、このピクセル同期信号抜き取りパルスが送られたとき映像信号S1を通過させることにより、映像信号S1中からピクセル同期信号Spを抜き取って位相比較器9に送る。

【0041】VCO10は、ピクセルクロックの標準周波数のうちの最高の周波数である200MHzで発振する。VCO10の出力信号は分周器11で分周され、分周器11の出力信号は位相比較器9にフィードバックされる。位相比較器9は、前述のように、ピクセル同期信号抜き取りパルスが送られたときのみ、分周器11の出

力信号とピクセル同期信号 S_p との周波数及び位相を比較する。サンプル/ホールド回路3は、この分周器11の出力信号をサンプリングパルスとして、アナログ映像信号 S_1 をサンプリング及びホールドする。

【0042】尚、図4に示した従来の方式におけるようにVCOの出力信号そのものをサンプリングパルスとするのではなく、VCO10の出力信号を分周器11で分周した信号をサンプリングパルスとしたのは、次のような理由によるものである。即ち、VESA規格のピクセルクロックの標準周波数は、最高の周波数が200MHzであるのに対し最低の周波数が25MHzなので、VCOの出力信号そのものをサンプリングパルスとすると、VCOの発振周波数を25MHzから200MHzまでの広いレンジにわたって振らなければならなくなり、その結果VCOの回路構成が複雑になると共にその動作の安定性が低くなってしまふ。そこで、VCOの回路構成の簡略化とその動作の安定性の向上とを実現するために、VCO10の発振周波数をこの最高の標準周波数200MHzに固定し、その出力信号を分周器11で分周することにより25MHz等の周波数を得るようにした。

【0043】この液晶ディスプレイ2では、サンプル/ホールド回路3のサンプリングパルスの周波数及び位相が、次のようにして決定される。即ち、最初(ピクセル同期信号 S_p が抜き取られる以前)は、図4に示した方式と同じく、同期信号処理回路7からの同期周波数及び極性の情報とメモリ6内のVESA規格のピクセルクロックの標準周波数の情報とに基づき、映像信号 S_1 の元となるデジタル映像信号をコンピュータ1が生成した際のピクセルクロックの標準周波数を、マイクロプロセッサ5が判断する。そして、分周器11の出力信号(即ちサンプル/ホールド回路3のサンプリングパルス)の周波数がこの判断した標準周波数と一致するように、分周器11の分周比をマイクロプロセッサ5が設定する(例えば判断した標準周波数が200MHz、130MHz、25MHzのとき、分周比をそれぞれ1、20分の13、8分の1に設定する)。

【0044】その後、垂直同期信号 S_3 のバックボーチにおける水平同期信号 S_2 の上記一定パルス数目の位置(図2A)毎に、映像信号 S_1 中からピクセル同期信号 S_p が抜き取られて位相比較器9に送られることにより、位相比較器9において分周器11の出力信号がピクセル同期信号 S_p と周波数及び位相を比較されるので、分周器11の出力信号の周波数及び位相がピクセル同期信号 S_p の周波数及び位相と一致するように、分周器11の分周比をマイクロプロセッサ5が微調整する。これにより、コンピュータ1のピクセルクロックの実際の周波数及び位相と液晶ディスプレイ20のサンプル/ホールド回路3のサンプリングパルスの周波数及び位相とが常に正確に一致するようになる。

【0045】図3は、サンプル/ホールド回路3のサンプリングパルスがこのようにして決定された場合の、コンピュータ1で生成した映像信号の示す画像と液晶パネル12に画面表示される画像との関係を、図5と対比させた図である。ここでは、コンピュータ1のピクセルクロック(図3A)の実際の周波数及び位相とサンプリングパルス(図3C)の周波数及び位相とが常に正確に一致していることから、コンピュータ1で生成したデジタル映像信号をアナログ変換した映像信号 S_1 をこのサンプリングパルスでサンプリングして得た信号(図3D)に基づき、このデジタル映像信号が示す画像(図5Bと同じく黒色の「H」の文字が連続する画像)(図3B)が、変形・欠落や滲みを生じることなく液晶パネル4に画面表示される(図3E)。しかも、図4に示した従来の方式のようなサンプリングパルスの位相をマニュアル調整するといった煩雑な作業は不要である。

【0046】また、ピクセル同期信号 S_p はピクセルクロックの1パルス毎に高/低を繰り返す信号なので、このピクセル同期信号 S_p と周波数及び位相が一致する信号をサンプリングパルスとするだけで、コンピュータ1のピクセルクロックの実際の周波数及び位相とサンプリングパルスの周波数及び位相とを常に正確に一致させることができる。従って、マイクロプロセッサ5によるサンプリング制御が簡単で済む。

【0047】また、ピクセル同期信号 S_p は垂直同期信号 S_3 のバックボーチ中に付加されているので、映像信号 S_1 に基づく画像が液晶パネル4に画面表示される際に、画面上にピクセル同期信号 S_p に基づくノイズが表れることがない。従って、ピクセル同期信号 S_p の存在による画質の劣化を防止することができる。

【0048】また、液晶ディスプレイ2のドライバに前述のような情報(i)及び(ii)を含め、コンピュータ1にこの情報に基づいてピクセル同期信号 S_p の付加を行わせると共に、液晶ディスプレイ2にこの情報が指定する位置からピクセル同期信号 S_p を抜き取らせるようにしている。従って、液晶ディスプレイ2が、ピクセル同期信号 S_p の抜き取りを簡単な処理により正確に行えるようになる。

【0049】尚、以上の例では、ピクセル同期信号 S_p を、ピクセルクロックの1パルス毎に高/低を繰り返す信号としている。しかしこれに限らず、ピクセル同期信号 S_p を、ピクセルクロックの一定数パルス毎に高/低を繰り返す信号としてもよく、その場合には、ピクセル同期信号 S_p と位相が一致すると共に周波数がピクセル同期信号 S_p のこの一定数倍である信号をサンプル/ホールド回路3のサンプリングパルスとすればよい。

【0050】また、以上の例では、垂直同期信号 S_3 のバックボーチにおいて水平同期信号 S_2 の一定パルス数目の位置にピクセル同期信号 S_p を付加している(こうした位置をピクセル同期信号 S_p を付加すべき位置とし

て指定する情報が液晶ディスプレイ2のドライバに含まれている)。しかしこれに限らず、映像信号S1の帰線期間中の適宜の位置(例えば、垂直同期信号S3のフロントポーチにおいて水平同期信号S2の一定パルス数目の位置、あるいは、水平同期信号S2のバックポーチまたはフロントポーチのいずれかにおいて水平同期信号S2の一定パルス数目の位置)にピクセル同期信号Spを付加してもよい。その場合にも、やはり、映像信号S1に基づく画像が液晶パネル4に画面表示される際に、画面上にピクセル同期信号Spに基づくノイズが表れることがないので、ピクセル同期信号Spの存在による画質の劣化を防止することができる。

【0051】また、以上の例では、コンピュータで生成したデジタル映像信号をアナログ変換した信号を液晶ディスプレイでサンプリングするために本発明を適用している。しかしこれに限らず、コンピュータで生成したデジタル映像信号をアナログ変換した信号を、A/D変換器において量子化の前段階としてサンプリングするために本発明を適用してもよい。

【0052】また、以上の例では、コンピュータで生成したデジタル映像信号をアナログ変換した信号をサンプリングするために本発明を適用している。しかしこれに限らず、コンピュータで生成したデジタル映像信号以外のデジタル映像信号をアナログ変換した信号をサンプリングするために本発明を適用してもよい。例えば、デジタル放送システムにおいて、放送局から送信されるデジタル映像信号は、複数通りの信号方式のものに規格化されている。そこで、本発明を、液晶ディスプレイをモニターとするデジタル放送対応のテレビジョン受信機において、受信したデジタル映像信号を、デコーダでデコード(アナログ変換)した後液晶ディスプレイでサンプリングするために適用してもよい。

【0053】また、以上の例では、デジタル映像信号をアナログ変換した信号をサンプリングするために本発明を適用している。しかしこれに限らず、デジタル映像信号以外のデジタル信号をアナログ変換した信号をサンプリングするために本発明を適用してもよい。また、本発明は、以上の例に限らず、本発明の要旨を逸脱することなく、その他様々の構成をとりうることはもちろんである。

【0054】

【発明の効果】以上のように、本発明に係るサンプリングシステムによれば、所定のクロックパルスに同期したデジタル信号をアナログ変換した信号のサンプリングを、この所定のクロックパルスと周波数及び位相が常に正確に一致したサンプリングパルスで行うことができる。

【0055】従って、例えばこの発明を、コンピュータで生成したデジタル映像信号をアナログ変換した信号を液晶ディスプレイでサンプリングするために適用した

場合には、コンピュータのピクセルクロックの周波数及び位相と液晶ディスプレイのサンプル/ホールド回路のサンプリングパルスの周波数及び位相とが常に正確に一致するので、変形・欠落や滲みを生じることなく文字等の画像を液晶パネルに画面表示することができる。しかも、従来の方式のようなサンプリングパルスの位相をマニュアル調整するといった煩雑な作業も不要である。

【0056】尚、請求項2に記載のように、クロック同期信号を、所定のクロックパルスの1パルス毎に高/低を繰り返すものとし、このクロック同期信号と周波数及び位相が一致する信号をサンプリングパルスとした場合には、サンプリング制御を一層簡単化することができる。

【0057】また、このサンプリングシステムを、デジタル映像信号をアナログ変換した信号をサンプリングするために適用する場合において、請求項3に記載のように、この映像信号の帰線期間中の位置にクロック同期信号を付加するようにした場合には、この映像信号に基づく画像が画面表示される際に、画面上にこのクロック同期信号に基づくノイズが表れることがなくなるので、クロック同期信号の存在による画質の劣化を防止することができる。

【0058】また、このサンプリングシステムを、コンピュータで生成したデジタル映像信号をアナログ変換した信号を液晶ディスプレイでサンプリングするために適用する場合において、請求項4に記載のように、液晶ディスプレイを利用するためにコンピュータに組み込まれるソフトウェア(ドライバ)に、デジタル映像信号中の所定位置にクロック同期信号を付加することを指示する情報を含め、コンピュータにこの情報に基づいてクロック同期信号の付加を行わせ、液晶ディスプレイにこの所定位置からクロック同期信号を抜き取らせるようにした場合には、液晶ディスプレイが、このクロック同期信号の抜き取りを簡単な処理により正確に行えるようになる。

【0059】次に、本発明に係るサンプリング装置によれば、やはり、所定のクロックパルスに同期したデジタル信号をアナログ変換した信号のサンプリングを、この所定のクロックパルスと周波数及び位相が常に正確に一致したサンプリングパルスで行うことができる。

【0060】次に、本発明に係るサンプリング方法によれば、やはり、所定のクロックパルスに同期したデジタル信号をアナログ変換した信号のサンプリングを、この所定のクロックパルスと周波数及び位相が常に正確に一致したサンプリングパルスで行うことができる。

【図面の簡単な説明】

【図1】本発明を適用したサンプリングシステムの構成の一例を示すブロック図である。

【図2】図1の各部における信号の一例を示すフローチャートである。

【図3】図1の液晶パネルに画面表示される画像の一例を示す図である。

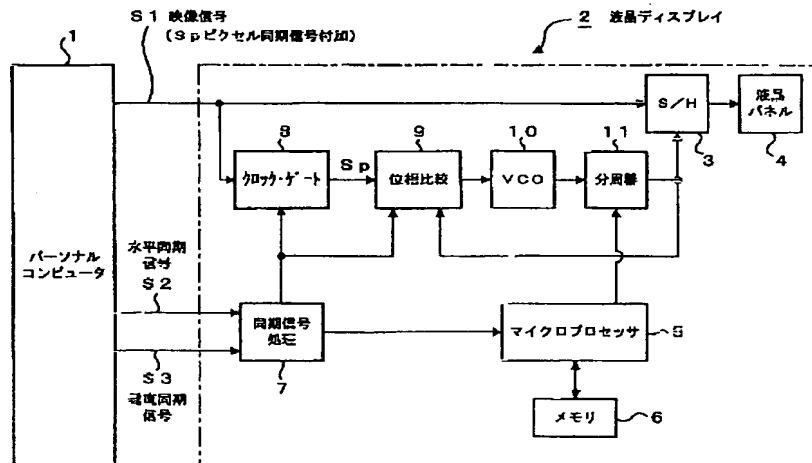
【図4】従来のサンプリングシステムの構成の一例を示すブロック図である。

【図5】図4の液晶パネルに画面表示される画像の一例を示す図である。

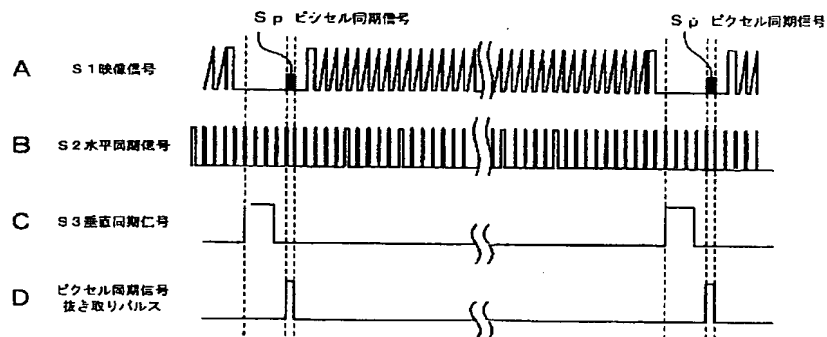
【符号の説明】

1……コンピュータ、2……液晶ディスプレイ、3……サンプル/ホールド回路、4……液晶パネル、5……マイクロプロセッサ、6……メモリ、7……同期信号処理回路、8……クロック・ゲート回路、9……位相比較器、10……VCO、11……分周器、S1……アナログ映像信号、S2……水平同期信号、S3……垂直同期信号、Sp……ピクセル同期信号

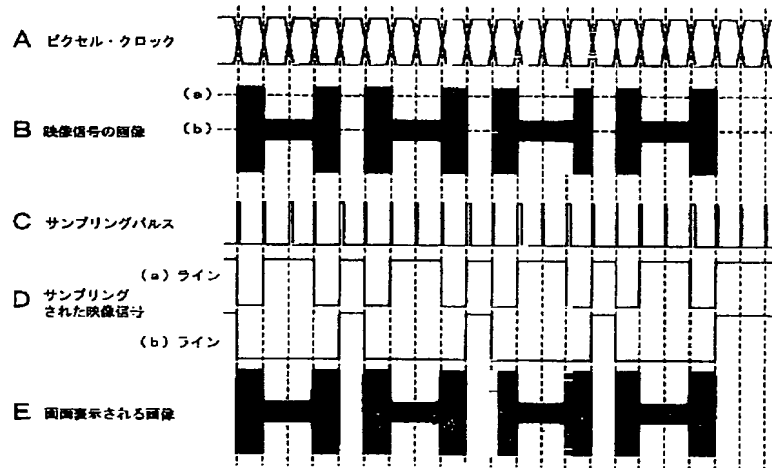
【図1】



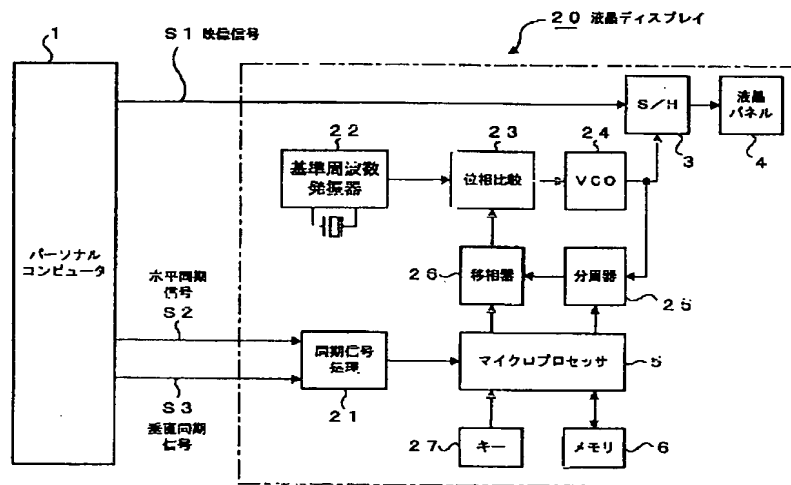
【図2】



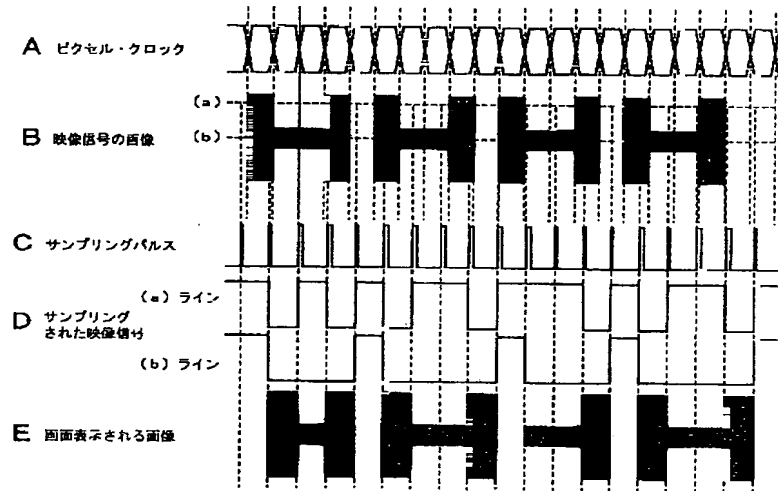
【図3】



【図4】



【図5】



フロントページの続き

(51)Int. Cl.⁷ 識別記号 F I (参考)
H 0 4 N 5/66 H 0 4 N 5/66 B

Fターム(参考) 5C006 AA03 AA22 AC21 AF72 AF78
AF81 BB11 BC12 BF01 BF11
BF15 BF23 FA16 FA27
5C020 AA09 AA11 BA11 CA15
5C058 AA06 BA04 BB08 BB10
5C080 AA10 BB05 DD01 EE01 GG02
GG09 JJ01 JJ02 JJ04 KK02
5J022 AB01 CA10 CE01